

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-238734  
(43)Date of publication of application : 31.08.1999

(51)Int.Cl. H01L 21/3205  
H01L 23/34

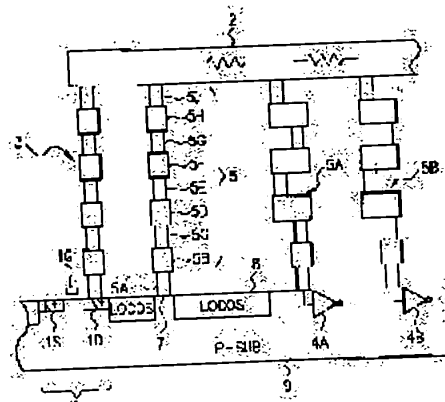
(21)Application number : 10-039049 (71)Applicant : NEC CORP  
(22)Date of filing : 20.02.1998 (72)Inventor : KAZAMI TETSUO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize high reliability by suppressing the increase in the number of manufacturing processes and removing generated heat from wiring.

**SOLUTION:** An electrically non-connected heat dissipating wiring 5 is provided, at a part where heat causes a trouble in a wiring 2 on a fifth layer (topmost layer), for dissipating the heat to a P-type silicon substrate 9 directly below. A P-N junction is formed at a part which is contact with the heat dissipating wiring of the silicon substrate. The heat dissipating wiring is provided, based on the magnitude of a current that flows in the wiring. The dissipating wiring is brought into contact with the silicon substrate, avoiding an oxide film formed on the surface of the silicon substrate.



## LEGAL STATUS

[Date of request for examination] 20.02.1998

[Date of sending the examiner's decision of rejection] 24.10.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平11-238734

(43)公開日 平成11年(1999)8月31日

(51) Int.CL<sup>6</sup>

裁判記号

P I

H O I L 21/3205  
23/34

H01L 21/88  
23/34

S  
A

審査請求 有 請求項の数6 OL (全 5 頁)

(21)出願番号 特願平10-39049

(22)出願日 平成10年(1998)2月20日

(71)出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 風見 恒夫  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

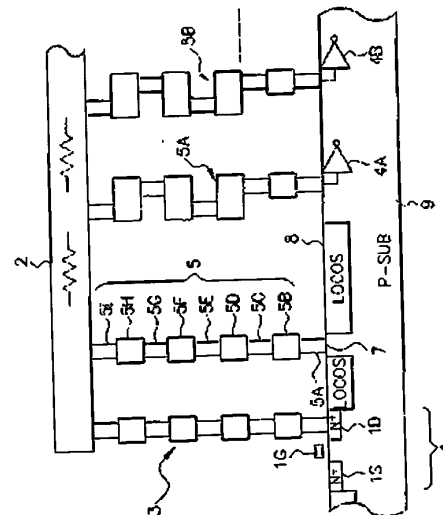
(74)代理人 弁理士 丸山 隆夫

(54) 【発明の名称】 半導体集積回路

(57)【要約】 (修正有)

【課題】 製造工数の増加を抑えつつ、配線の発熱を除去することで高い信頼性を実現する。

【解決手段】 5層目(最上層)の配線2で発熱が問題になる部分に、直下のP型シリコン基板9まで放熱を行うための電気的に非接続の放熱用配線5を設ける。また、シリコン基板の放熱用配線と接触する部分に、PN接合を形成する。また、放熱用配線は、配線に流れる電流の大きさに基づいて設けられる。また、放熱用配線は、シリコン基板表面に形成された酸化膜を避けて前記シリコン基板と接触する。



【特許請求の範囲】

【請求項1】 多層配線構造を有する半導体集積回路において、

所定の層に設けられた配線から前記所定の層の下層に位置するシリコン基板に、電気的に非接続の状態の放熱用配線を設けたことを特徴とする半導体集積回路。

【請求項2】 前記シリコン基板の前記放熱用配線と接触する部分に、PN接合を形成する請求項1に記載の半導体集積回路。

【請求項3】 前記放熱用配線は、前記配線に流れる電流の大きさに基づいて設けられる請求項1または2に記載の半導体集積回路。

【請求項4】 前記放熱用配線は、前記シリコン基板表面に形成された酸化膜を透けて前記シリコン基板と接触する請求項1、2または3に記載の半導体集積回路。

【請求項5】 前記所定の層は、最上層である請求項1から4のいずれか1項に記載の半導体集積回路。

【請求項6】 前記下層に位置するシリコン基板は、最下層に位置するシリコン基板である請求項1から5のいずれか1項に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線構造を有する半導体集積回路に関し、特に、上層に設けられた配線での発熱を効率的に除去する半導体集積回路に関する。

【0002】

【従来の技術】LSI内で回路が動作する際には、回路が大規模回路の容量負荷を駆動するための充放電電流が配線の流れ、配線は自身が持つ抵抗により発熱する。これまで、半導体集積回路においては、動作周波数が100MHz以下、配線が2～3層というのが主流であり、トランジスタの発熱が問題となりつつも、配線の発熱が問題となることはあまりなかった。

【0003】ところが、最近では、LSIの微細加工技術、回路、レイアウト設計技術等の発達に伴い、回路の動作速度の高速化、高集積化、配線の多層化が急速に進んできている。これにより、配線での発熱量も大きくなってきている。

【0004】大きな発熱を伴う大消費電力のLSI実装では、シリコン基板の裏面側にヒートシンクと呼ばれる放熱板等を接続し、この放熱板に風を吹き付けることでLSIの冷却を行うのが一般的である。即ちLSIの熱の除去は、LSIの下側のシリコン基板から大部分が行われるようになっていく。配線で発生した熱が放熱される経路は、配線自体を伝わってシリコン基板に放熱する経路と、層間膜を伝わって他の層のシリコン基板に放熱する経路とがある。従って、上層の配線ほど下部のシリコン基板との距離が大きくなるので熱が伝わり難くなっている。このため、特に、多層配線における上層の配線

で起こる発熱による温度上昇が顕著になっている。

【0005】なお、回路の動作速度の高速化のために、配線間の層間膜厚を厚くして配線容量を低下させようとする動向もあるが、層間膜厚を厚くすると、上層配線とシリコン基板間の距離がより遠くなることになる。このため、そのような対策をとると、配線の発熱による温度上昇を促進することになる。

【0006】配線の温度が高くなると、エレクトロマイグレーションによる配線の断列等が起こりやすくなり、信頼性が低下する。一般に、エレクトロマイグレーションによる配線の劣化は、温度が高くなるほど指数的に起こりやすくなる。このため、配線の温度の上昇を回避させることが強く要請されるようになってきている。なお、配線の温度の上昇については、例えば、ある条件下での5層配線構造において、各層の配線に電流密度Jが $5 \times 10^7$  A/cm<sup>2</sup>程度の電流を流した場合、配線自体の発熱によって配線の温度が90℃程度上昇するという実験データも報告されている。

【0007】そこで、このような不具合を解決するものとして、例えば、特開平9-129725号公報に開示されるような半導体集積回路がある。この従来の半導体集積回路では、上層の配線から下層の配線まで専用のダミーの貫通孔を設け、このダミーの貫通孔に熱伝導率の高い絶縁物質を充填することにより、効率よく放熱するようにしている。

【0008】

【発明が解決しようとする課題】しかしながら、従来の半導体集積回路では、ダミーホールのような構成をとるために、所望の回路を構成する配線の製造工程に加え、放熱のためのダミーホールを形成したり、このダミーホールに熱伝導率の高い絶縁物質を充填するといった専用の工程が必要となるため、製造工数が増加し、製造コスト等が上昇するという問題がある。

【0009】従って、本発明の目的は、製造工数の増加を抑えつつ、配線の発熱を除去することで高い信頼性を実現できる半導体集積回路を提供できるようにすることにある。

【0010】

【課題を解決するための手段】本発明は、上記目的を達成するため、多層配線構造を有する半導体集積回路において、所定の層に設けられた配線から所定の層の下層に位置するシリコン基板に、電気的に非接続の状態の放熱用配線を設けたことを特徴とする半導体集積回路を提供するものである。

【0011】以上の構成において、シリコン基板の放熱用配線と接触する部分に、PN接合を形成することが望ましい。

【0012】また、放熱用配線は、配線に流れる電流の大きさに基づいて設けられることが望ましい。

【0013】更に、放熱用配線は、シリコン基板表面に

形成された酸化膜を避けてシリコン基板と接触することが望ましい。

【0014】更に、また、所定の層は、最上層であることが望ましい。

【0015】また、下層に位置するシリコン基板は、最下層に位置するシリコン基板であることが望ましい。

【0016】

【発明の実施の形態】以下、本発明の実施の形態による半導体集積回路について図面を参照して詳細に説明する。

【第1の実施の形態】図1は、本発明の第1の実施の形態による半導体集積回路の構成を示す断面図である。図1において、1はNチャンネルのトランジスタ、1Dはトランジスタ1のドレイン、1Gはトランジスタ1のゲート、1Sはトランジスタ1のソースである。2は5層目（最上層）に設けられた着目する配線、3はトランジスタ1から配線2に信号を供給する1層〜4層配線、4A、4B・・・は配線2からの信号を入力するゲート、6A、6B・・・は5層上の配線2からの信号をゲート4A、4B・・・へ分岐させて供給する配線である。5は配線2から直下の最下層に位置するP型シリコン基板9に放熱用に設けた放熱用配線である。

【0017】放熱用配線5は、コンタクト5A、1層配線5B、1〜2層スルーホール5C、2層配線5D、2〜3層スルーホール5E、3層配線5F、3〜4層スルーホール5G、4層配線5H、4〜5層スルーホール5Iからなり、これらは他の配線を形成する工程と同じ製造工程で形成することができる。このため、放熱用配線5を形成するための工数の増加が回避され、製造コストの上昇が抑えられるようになっている。

【0018】P型シリコン基板9のトランジスタ1が形成されていない部分の表面には、LOCOS (Local Oxidation of Silicon) と呼ぶ厚いフィールド酸化膜8が設けられる。本実施の形態では、P型シリコン基板9上のコンタクト5Aが接触（接続）する接触部7にはこのフィールド酸化膜（LOCOS）8を設けずにP型シリコン基板9をそのまま露出させている。

【0019】図2は、一般的なCMOS回路が形成された場合のP型シリコン基板9の構成を示す断面図である。同図（a）はNチャンネル型のトランジスタが形成された領域の拡大図、同図（b）はPチャンネル型のトランジスタが形成された領域の拡大図である。

【0020】図に示すように、NチャネルトランジスタはP型シリコン基板9にソース、或いはドレインとなるN型拡散部（N型の不純物が拡散された領域）11、及びゲート12を形成させて作製されている。また、P型シリコン基板9には、基板電位を供給するために、高濃度のP型拡散部（P型の不純物が拡散された領域）13が形成され、この高濃度のP型拡散部13にコンタクト19を通じて上層の配線から基板電位が供給されるよう

になっている。

【0021】他方のPチャネルトランジスタはNウェル17内にソース、或いはドレインとなるP型拡散部15、及びゲート16を形成させて作製されている。また、Nウェル17内には、電位の供給用に、高濃度のN型拡散部18が形成され、この高濃度のN型拡散部18にコンタクト20を通じて上層の配線からNウェル電位が供給されるようになっている。

【0022】ここで、P型シリコン基板9上に高濃度のP型拡散部13を形成し、Nウェル17内に高濃度のN型拡散部18を形成するのは、P型シリコン基板9とコンタクト19の間およびNウェル17とコンタクト20の間のオーミック接触を得るためである。また、P型シリコン基板9上に、NチャネルMOSトランジスタ、PチャネルMOSトランジスタ、基板電位およびNウェル電位が供給される部分は、フィールド酸化膜8が除去されている。なお、図2（a）、（b）において、14はソース/ドレイン11、15ならびにゲート12、16用のコンタクトである。

【0023】図3は、放熱用配線5とP型シリコン基板9とが接する接触部7の拡大図である。図に示すように、放熱用配線5のコンタクト5AとP型シリコン基板9とが接する接触部7にフィールド酸化膜（LOCOS）8を設けないことで、不純物が低濃度の部分がコンタクト5Aと接触する。このため、それらの接触部7ではオーミック接触とはならず高抵抗となり、電気的には非接触で熱伝導的には接触の状態となる。これにより、配線2を流れる信号には電気的な影響をほとんど与えることなく、配線2から発生した熱が除去されるようになっている。

【0024】以上の構成において、配線2で発生した熱除去について詳細に説明する。出力回路用トランジスタ1のドレイン1Dからゲート4A、4B・・・へは、配線3→配線2→配線6A、6B・・・を介して信号が伝えられる。この時に各配線には入力ゲート容量および配線容量を充放電するためのAC電流が流れる。このAC電流は、トランジスタ1から最初の負荷ゲート4Aへの配線6Aまでの間が最大となり、負荷ゲート4A、4B・・・と信号が流れる経路が分岐していくに従って減少していく。そこで、本実施の形態では、5層目（最上層）の配線2の負荷電流による自己発熱が最も大きくなる部分に、通常の配線およびスルーホールの製造工程と同じ工程で、5層目の配線2の直下のP型シリコン基板9まで貫通する放熱用配線5を設けている。放熱用配線5がP型シリコン基板9に接する接触部7は、フィールド酸化膜（LOCOS）8を取り除いておく。これによって、コンタクト5AがP型シリコン基板9と直接に接するのでフィールド酸化膜（LOCOS）8を介するよりも熱伝導効率を向上させている。

【0025】このように、5層目（最上層）の配線2で

発生した熱は、この放熱用配線5から、直下のP型シリコン基板9に直接伝わるので、熱が特に放熱され難い配線の局所的な温度上昇を抑えることができる。

【0026】一般的に配線、スルーホールおよび層間絶縁膜として使用している、アルミニウム(Al)配線、タンゲステン(W)スルーホール、SiO<sub>2</sub>層間膜(LCOS)およびシリコン(Si)基板の熱伝導率(単位: W・m<sup>-1</sup>・K<sup>-1</sup>)は、以下に示す通りである。

Si	168
Al	236
W	177
SiO <sub>2</sub>	1.4

【0027】これらの数値から明らかなように、たとえ放熱用配線5の全てがアルミニウムよりも熱伝導率の低いタンゲステンで形成したとして仮定しても、SiO<sub>2</sub>層間膜とWスルーホールの面積当たりの熱伝導率は100倍以上の差がある。このため、SiO<sub>2</sub>層間膜を設けないようにすることで、放熱効率を大きく改善させることができる。

【0028】〔第2の実施の形態〕第2の実施の形態は、P型シリコン基板9が放熱用配線5のコンタクト5Aと接する接触部7に、Nチャネルトランジスタを作る工程と同様に、N型の不純物を拡散させてN型の領域(N型拡散部)10を形成させてPN接合を構成させた場合の例である。第1の実施の形態から異なる部分のみ説明する。

【0029】図4は、本発明の第2の実施の形態における放熱用配線5とP型シリコン基板9とが接する接触部7の拡大図である。P型シリコン基板9は、一般的なCMOS回路として使用する場合にはグラウンド電位が与えられているので、このPN接合部はトランジスタ1から4A、4B・・・への信号がプラスの電位である限りは順方向とはならず、電気的には5層目(最上層)の配線2とP型シリコン基板9間はこのPN接合の容量結合となる。またこのPN接合の接合容量は、非常に小さい値として構成できるため、本来の回路動作を行う5層目(最上層)の配線2の負荷容量としては無視できるレベルである。従って、動作上の性能低下等が発生することなく、5層目(最上層)の配線2で発生した熱をP型シリコン基板9に伝えることができる。

【0030】以上は、上層の配線5のみに着目して説明したが、下層の配線においても本実施の形態と同様に、放熱用配線を設けてシリコン基板に接触させることにより、その配線の発熱を直接より下層に位置するシリコン基板に伝えるようにしてもよい。

【0031】更に、以上はP型シリコン基板にCMOS回路の構成例をあげて説明したが、N型のシリコン基板を用いる場合や、CMOS回路以外の、例えば、ECL(Emitter-Coupled Logic)回路等の構成においても、同様の効果を得ることができる。

【0032】

〔発明の効果〕以上説明したように、本発明の半導体集積回路によれば、所定の層に設けられた配線からこの所定の層の下層に位置するシリコン基板に、電気的に非接続の状態で放熱用配線を設けるようにしたので、高速で動作する半導体集積回路の、上層の配線で発生する発熱を、シリコン基板に効率よく放熱することができる。これにより、配線のエレクトロマイグレーションによる配線劣化が抑えられ、信頼性を向上させることができる。

【0033】また、放熱に配線を利用するため、それを形成するための特別な工程が不要となり、製造工数の増加が回避されることによって製造コストの上昇も抑えることができる。

〔図面の簡単な説明〕

〔図1〕第1の実施の形態による半導体集積回路の構成を示す断面図である。

〔図2〕一般的なCMOS回路が形成された場合のシリコン基板の構成を示す断面図である。

〔図3〕第1の実施の形態における放熱用配線とシリコン基板が接する接続部の拡大図である。

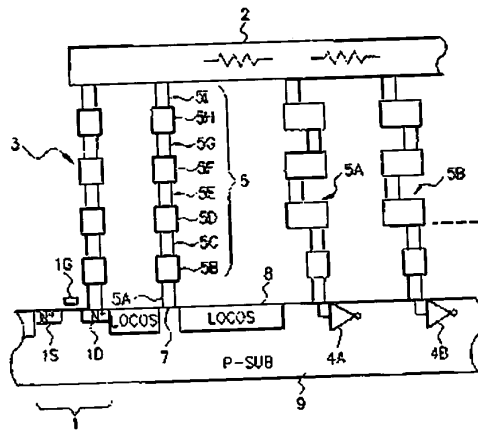
〔図4〕第2の実施の形態における放熱用配線とシリコン基板とが接する接続部の拡大図である。

〔符号の説明〕

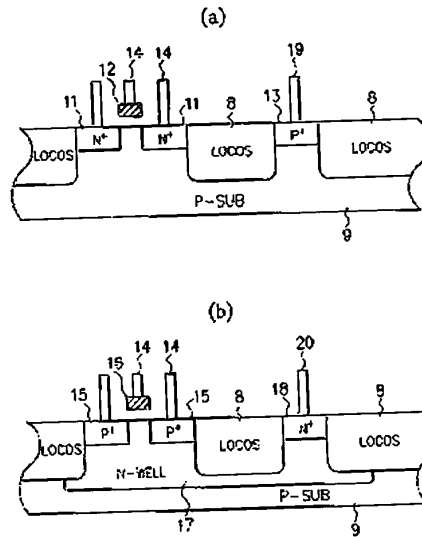
- 1 出力回路を構成するNチャネル型MOSトランジスタ
- 1G 出力回路のゲート
- 1S 出力回路のソース
- 1D 出力回路のドレイン
- 2 5層目(最上層)の配線
- 3 1層目から4層目までの配線
- 4A、4B 出力回路1の信号を受けるゲート
- 5 放熱用配線
- 5A コンタクト
- 5B 1層目の配線
- 5C 1-2層のスルーホール
- 5D 2層目の配線
- 5E 2-3層のスルーホール
- 5F 3層目の配線
- 5G 3-4層のスルーホール
- 5H 4層目の配線
- 5I 4-5層のスルーホール
- 6A、6B 1層目から4層目までの配線
- 7 接触部
- 8 フィールド酸化膜(LOCOS)
- 9 P型シリコン基板
- 11 N型拡散部(Nチャネル型MOSトランジスタのソース、ドレイン)
- 12 Nチャネル型MOSトランジスタのゲート
- 13 P型拡散部
- 14 コンタクト

- 15 P型拡散部 (Pチャネル型MOSトランジスタのソース、ドレイン) \* 18 N型拡散部  
16 Pチャネル型MOSトランジスタのゲート 19 コンタクト  
17 Nウェル \*

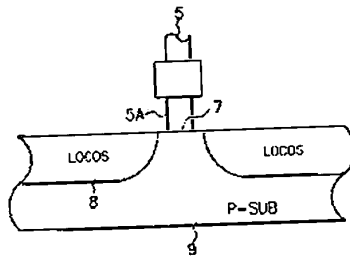
【図1】



【図2】



【図3】



【図4】

